

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平5-13663

(43)公開日 平成5年 (1993) 1月22日

(51)Int. Cl.<sup>5</sup>  
H 0 1 L 25/065  
25/07  
25/18

識別記号

庁内整理番号

F I

技術表示箇所

7220-4M

H 0 1 L 25/08

B

審査請求 未請求 請求項の数3 (全 4 頁)

(21)出願番号 特願平3-167853  
(22)出願日 平成3年 (1991) 7月9日

(71)出願人 000005223  
富士通株式会社  
神奈川県川崎市中原区上小田中1015番地  
(72)発明者 山本 隆浩  
神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内  
(74)代理人 弁理士 井桁 貞一

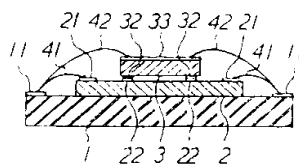
(54)【発明の名称】 半導体装置と半導体チップの実装方法

(57)【要約】

【目的】 第1の半導体チップ上に第2の半導体チップを搭載してなるチップオンチップ方式の半導体装置に関し、第2の半導体チップを更に高集積度化できる半導体装置と半導体チップの実装方法の提供を目的とする。

【構成】 基板1に搭載された第1の半導体チップ2と第1の半導体チップに搭載された第2の半導体チップ3を有し、基板上の導体11と第1の半導体チップの電極21がワイヤーボンディング方式によって接続され、第2の半導体チップが第1の半導体チップにフェイスダウン方式によって接続される半導体装置において、基板1上の導体11または第1の半導体チップ2の電極21と第2の半導体チップ3の背面電極33がワイヤーボンディング方式で接続されるように構成する。

本発明になるチップオンチップ方式の半導体装置を示す断面図



## 【特許請求の範囲】

【請求項1】 基板(1)に搭載された第1の半導体チップ(2)と第1の半導体チップ(2)に搭載された第2の半導体チップ(3)を有し、

該基板(1)上の導体(11)と第1の半導体チップ(2)の電極(21)がワイヤーボンディング方式によって接続され、第2の半導体チップ(3)が第1の半導体チップ(2)にフェイスダウン方式によって接続されてなる半導体装置であって、

該基板(1)上の導体(11)と第2の半導体チップ(3)の背面電極(33)がワイヤー(42)で接続されてなることを特徴とする半導体装置。

【請求項2】 基板(1)に搭載された第1の半導体チップ(2)と第1の半導体チップ(2)に搭載された第2の半導体チップ(3)を有し、

該基板(1)上の導体(11)と第1の半導体チップ(2)の電極(21)がワイヤーボンディング方式によって接続され、第2の半導体チップ(3)が第1の半導体チップ(2)にフェイスダウン方式によって接続されてなる半導体装置であって、

ワイヤーボンディング方式によって該基板(1)上の導体(11)に接続された第1の半導体チップ(2)の電極(21)と、第2の半導体チップ(3)の背面電極(33)がワイヤー(43)で接続されてなることを特徴とする半導体装置。

【請求項3】 基板(1)に搭載された第1の半導体チップ(2)と第1の半導体チップ(2)に搭載された第2の半導体チップ(3)を有し、

基板(1)上の導体(11)と第1の半導体チップ(2)の電極(21)がワイヤーボンディング方式によって接続され、第2の半導体チップ(3)が第1の半導体チップ(2)にフェイスダウン方式によって接続される半導体装置の製造において、

該基板(1)上の導体(11)または第1の半導体チップ(2)の電極(21)と第2の半導体チップ(3)の背面電極(33)が、ワイヤーボンディング方式によって接続されることを特徴とする半導体チップの実装方法

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は第1の半導体チップ上に第2の半導体チップを搭載してなるチップオンチップ方式の半導体装置に係り、特に第2の半導体チップの高集積度化を可能にする半導体装置と半導体チップの実装方法に関する。

【0002】 半導体集積回路の高集積度化に伴って特性の異なる2種類の半導体チップを極めて小さい空間に実装する手段として、第1の半導体チップの上に第2の半導体チップを搭載するチップオンチップ方式の半導体装置が実用化されている。

【0003】 しかし第2の半導体チップには空間的な制約があり従来の実装方法ではこれ以上高集積度化するこ

とが困難である。そこで第2の半導体チップを更に高集積度化するための実装方法の改善が要望されている。

## 【0004】

【従来の技術】 図3は従来のチップオンチップ方式の半導体装置を示す断面図である。図において従来のチップオンチップ方式の半導体装置は基板1に第1の半導体チップ2がダイボンディングされ、基板1上の導体11と第1の半導体チップ2の電極21がワイヤーボンディングされたワイヤー41によって接続されている。

10 【0005】 また第1の半導体チップ2と第2の半導体チップ3には対向する位置にそれぞれ電極22、32が形成されており、第2の半導体チップ3は電極形成面が向き合うフェイスダウン方式によって第1の半導体チップ2に接続されている。

【0006】 半導体装置の動作を安定化させるには半導体チップ背面の電位を常に一定しておかなければならない。第1の半導体チップのように基板に直接ダイボンディングされている場合は通常背面が接地され電位が一定に保たれる。

20 【0007】 しかしフェイスダウン方式によって接続される第2の半導体チップは背面が第1の半導体チップから浮いており、かかる場合は通常第2の半導体チップに背面接地用電極31を設け第1の半導体チップを介して接地している。

## 【0008】

【発明が解決しようとする課題】 チップオンチップ方式の半導体装置では第1の半導体チップに搭載される第2の半導体チップに空間的な制約があり、例えば第1の半導体チップと向き合う電極形成面に形成可能な電極の数は空間的な制約によって限定される。

30 【0009】 かかる第2の半導体チップにおいて更に高集積度化しようとする電極数の増加を図らなければならない。しかるに従来の半導体装置ではその電極の一部が背面接地用として使用されるため高集積度化が抑制されるという問題があった。

【0010】 本発明の目的は第2の半導体チップを更に高集積度化できる半導体装置と半導体チップの実装方法を提供することにある。

## 【0011】

40 【課題を解決するための手段】 図1は本発明になるチップオンチップ方式の半導体装置を示す断面図である。なお全図を通し同じ対象物は同一記号で表している。

【0012】 上記課題は基板1に搭載された第1の半導体チップ2と第1の半導体チップ2に搭載された第2の半導体チップ3を有し、基板1上の導体11と第1の半導体チップ2の電極21がワイヤーボンディング方式によって接続され、第2の半導体チップ3が第1の半導体チップ2にフェイスダウン方式によって接続されてなる半導体装置であって、基板1上の導体11と第2の半導体チップ3の背面電極33がワイヤー42で接続されてなる本発明

の半導体装置によって達成される。

【0013】

【作用】図1において基板上の導体と第2の半導体チップの背面電極をワイヤーで接続することによって、従来背面接地用として使用されていた電極が不要になりその電極を利用して第2の半導体チップを更に高集積度化することができる。即ち、第2の半導体チップを更に高集積度化できる半導体装置と半導体チップの実装方法を実現することができる。

【0014】

【実施例】以下添付図により本発明の実施例について説明する。なお図2は本発明になる半導体装置の他の実施例を示す断面図である。

【0015】図1において本発明になる半導体装置の一実施例は基板1に第1の半導体チップ2がダイボンディングされ、基板1上の導体11と第1の半導体チップ2の電極21がワイヤーボンディングされたワイヤー41によって接続されている。

【0016】第1の半導体チップ2と第2の半導体チップ3には対向する位置にそれぞれ電極22、32が形成されており、第2の半導体チップ3は電極形成面が向き合うフェイスダウン方式によって第1の半導体チップ2に接続されている。

【0017】第2の半導体チップ3の背面には $1\mu\text{m}$ 程度にAlを蒸着することによって背面電極33が形成されており、基板1上の導体11と第2の半導体チップ3の背面電極33はワイヤーボンディングされたワイヤー42によって接続されている。

【0018】また図2において本発明になる半導体装置の他の実施例は基板1に第1の半導体チップ2がダイボンディングされ、基板1上の導体11と第1の半導体チップ2の電極21がワイヤーボンディングされたワイヤー41によって接続されている。

【0019】第1の半導体チップ2と第2の半導体チップ3には対向する位置にそれぞれ電極22、32が形成されており、第2の半導体チップ3は電極形成面が向き合う

フェイスダウン方式によって第1の半導体チップ2に接続されている。

【0020】第2の半導体チップ3の背面には $1\mu\text{m}$ 程度にAlを蒸着することによって背面電極33が形成されており、導体11に接続された第1の半導体チップ2の電極21と第2の半導体チップ3の背面電極33はワイヤー42によって接続されている。

【0021】このように基板に搭載された第1の半導体チップと第1の半導体チップに搭載された第2の半導体チップを有し、基板上の導体と第1の半導体チップの電極がワイヤーボンディング方式によって接続され、第2の半導体チップが第1の半導体チップにフェイスダウン方式によって接続される半導体装置の製造において、基板上の導体または第1の半導体チップの電極と第2の半導体チップの背面電極が、ワイヤーボンディング方式によって接続される本発明の半導体装置および半導体チップの実装方法は、従来背面接地用として使用されていた電極が不要になりその電極を利用して第2の半導体チップを更に高集積度化することができる。即ち、第2の半導体チップを更に高集積度化できる半導体装置と半導体チップの実装方法を実現することができる。

【0022】

【発明の効果】上述の如く本発明によれば第2の半導体チップを更に高集積度化できる半導体装置と半導体チップの実装方法を提供することができる。

【図面の簡単な説明】

【図1】 本発明になるチップオンチップ方式の半導体装置を示す断面図である。

【図2】 本発明になる半導体装置の他の実施例を示す断面図である。

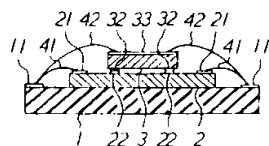
【図3】 従来のチップオンチップ方式の半導体装置を示す断面図である。

【符号の説明】

- |         |             |
|---------|-------------|
| 1 基板    | 2、3 半導体チップ  |
| 11 導体   | 21、22、32 電極 |
| 33 背面電極 | 41、42 ワイヤー  |

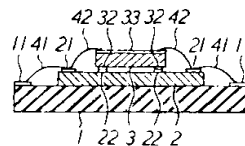
【図1】

本発明になるチップオンチップ方式の半導体装置を示す断面図



【図2】

本発明になる半導体装置の他の実施例を示す断面図



## 【図3】

従来のナプオンキップ方式の半導体装置を示す断面図

